



دانشگاه بیت سم  
دانشکده فنی و مهندسی

# جزوه آزمایشگاه مدارات منطقی

تهیه و تدوین:  
مهندس کوداسیایی

بهمین 87

# بسمه تعالی

## آزمایشگاه مدار منطقی

### فهرست :

- 1- آشنائی با وسایل آزمایشگاهی و تراشه ها
- 2- طراحی مدارات جمع کننده کامل ( Full Adder )
- 3- مقایسه گرها (Comparators)
- 4 - آشنایی با مدارات Encoder, Decoder, Mux, Demux
- 5- آشنایی با فلیپ فلاپها
- 6- آشنایی با ثبات ها (Shift Registers)
- 7- آشنایی با شمارنده های همگام
- 8- آشنایی با شمارنده های ناهمگام

### تذکراتی در مورد نوشتن گزارش آزمایش

در هنگام نوشتن گزارش کار هر کجا که نیاز به موارد ذیل وجود داشت حتماً در گزارش کارتان درج نمائید

الف \_ جدول درستی Truth Table

ب \_ جدول کار نو

ج \_ روابط بولی ساده شده

د \_ دیاگرامهای منطقی مدار نهائی که در آزمایشگاه بسته اید .

ه \_ تهیه لیست دقیق گیتهای مورد نیاز مدار و شماره IC های مورد استفاده .

و \_ طریقه سیم کشی مدار

ر \_ تطبیق نتایج عملی با پیش بینی های تئوری

ز \_ استنتاج و پیشنهادات

ح-در صورت نیاز به Data Sheet آی سی ها از ضمیمه آخر جزوه استفاده نمایید.

## آزمایش اول : آشنایی با وسایل آزمایشگاهی و تراشه ها (IC)

### آشنایی با IC ها و قطعات مختلف و نحوه کار با آنها

هر چند شما در آزمایشگاه از تسهیلات کیت آموزشی جهت انجام آزمایشات بهره می گیرید ولیکن توجه به نکات ذیل هنگامی که قطعات یا گیت‌های اضافی را بر روی Bread Board می بندید ضروری است :

**تذکره 1** \_ تراشه های خانواده TTL با منبع ولتاژ ثابت +5 ولت کار می کنند . و با شماره های زیر قابل تشخیص هستند

1-1: دو رقم سمت چپ شماره IC را در نظر بگیرید : اگر این دو رقم عدد 74 یا 54 و یا 80 بود ، IC از خانواده TTL خواهد بود و اگر 40 و یا 74c بود از خانواده CMOS . مثال :

7401	TTL	
74C00	CMOS	
8090	TTL	

2-1: بعد از دو رقم سمت چپ شماره IC ، کاراکترهای زیر دیده می شوند که نوع خاص تراشه TTL را معرفی می کنند . مثال :

74H	High Speed TTL
74L	Low Power TTL
74S	Schotky TTL
74LS	Low Power Schotky TTL
74ALS	Advanced Low Power Schotky TTL

**تذکره 2** \_ هیچگاه خروجی IC را مستقیماً به زمین یا +5 ولت وصل نکنید .

**تذکره 3** \_ به شماره پایه ها دقت داشته باشید .

**تذکره 4** \_ در IC های 14 پایه نوع TTL ، پایه شماره "7" به زمین و پایه شماره "14" به +5 ولت وصل می شود . ( البته استثناء نیز وجود دارد )

**تذکره 5** \_ بر روی دستگاه شما (کیت آزمایشگاهی) 8 عدد LED وجود دارد ولی در صورت لزوم به بستن LED بهیچوجه LED را مستقیماً به خروجی TTL وصل نکنید ، بلکه یک مقاومت حداقل 200 اهم با آن سری کنید تا جریان خروجی TTL محدود بماند .  $200 \Omega \cong (V_s - 1.7) / 0.016$

(1.7 ولتاژ دو سر LED در حالت روشن و 0.016 مقدار جریان خروجی TTL به نحوی که در محدوده مجاز قرارگیرد .)

**تذکره 6** - بهیچوجه از ولتاژهای منفی استفاده نکنید .

**تذکره 7** \_ منبع تغذیه تراشه های سری CMOS بین 3 تا 15 ولت قابل انتخاب است .

**تذکره 8** \_ تراشه های CMOS نسبت به الکتریسیته ساکن بسیار حساسند و بدون علائم ظاهری خواهند سوخت بنابراین هنگام لمس این تراشه ها ، بایستی از عدم تجمع بار الکتریکی ساکن روی بدنتان مطمئن شوید . برای اینکار کافی است یک فلز وصل شده به زمین (مثل شیر آب یا درهای آهنی یا ...) را لمس کنید .

## آزمایش 1-1

**(بررسی و آزمایش الف):** کیت آزمایشگاهی مدار منطقی را بدقت بررسی کنید. شمای کلی آنرا ترسیم و عملکرد و هدف هر قسمت را تعیین نمایید.

**(بررسی و آزمایش ب):** تمامی تراشه های موجود روی کیت آزمایشگاهی را بررسی و شماره آنها و عملکرد هر IC و در ضمن نوع آنها (H, LS, ALS...) را تعیین نمایید.

**(بررسی و آزمایش ج):** روی کیت تراشه 7404 را پیدا کرده و از طریق Data Sheet (ضمیمه انتهای جزوه) تعداد گیتها و پایه های ورودی و خروجی آنرا تعیین نمایید.

ورودی	خروجی
0 LOW	
1 High	

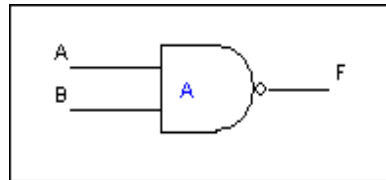
**(بررسی و آزمایش د):** یکی از گیتهای NOT تراشه 7404 را انتخاب کنید. به ورودی این گیت از طریق سیم کشی کیت، مقادیر "0" و "1" بدهید و جدول روبرو را برای آن تکمیل کنید نوشتن دقیق شماره IC و شماره پایه های آن ضروری است.

**(بررسی و آزمایش ه):** سر ورودی یکی از گیتهای NOT را باز بگذارید و خروجی را با LED بررسی کنید. چه نتیجه ای میگیرید؟

## آزمایش 1-2

یک تراشه 7400 که در آن چهار گیت NAND دو ورودی وجود دارد را بررسی کنید و مجدداً ولتاژ پایه های "7" و "14" آنرا اندازه بگیرید. ترتیب شماره پایه های هر گیت به چه صورت است؟ **(بررسی و آزمایش الف):** یکی از گیتهای NAND را انتخاب و جدول زیر را تکمیل کنید. بعنوان مثال گیت اول تراشه را انتخاب نمایید: با استفاده از جدول، F را بر حسب A و B بصورت رابطه بولی بنویسید

ولتاژ خروجی		ولتاژهای ورودی
خروجی F		A B
		0 0
		0 5
		5 0
		5 5



A	B	F
0v	باز	
باز	0v	
5v	باز	
باز	باز	

**(بررسی و آزمایش ب):** در این آزمایش مجدداً اثر باز ماندن سر پایه های ورودی بررسی می شود. جدول زیر را پر کنید:

## آزمایش 1-3

تراشه 7408 را دقیقاً مورد بررسی قرار دهید. تمامی مراحل آزمایش (1-2)

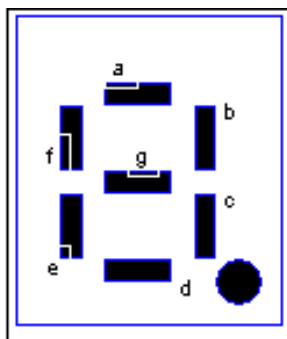
را روی آن پیاده سازی کنید و نهایتاً جدول زیر را تکمیل نمایید:

**تذکره 1:** در مدارات عملی، ورودیهای TTL حتی در صورت عدم نیاز به آنها، می بایست دقیقاً به یکی از سطوح High یا Low وصل کردند. چرا؟

**تذکره 2:** گزارش کارتان را بدقت و با ذکر استنتاج بنویسید.

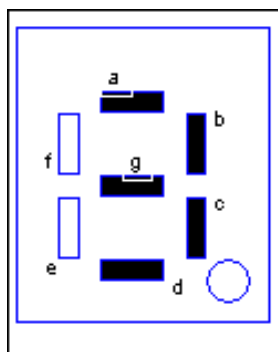
ولتاژهای ورودی		ولتاژ خروجی
A	B	F
0	0	
0	5v	
5v	0	
5v	5v	
0 v	باز	
باز	0 v	
5v	باز	
باز	باز	

## آشنایی با جدول BCD To 7-Segment



معمولاً "7-Segment" ها که بعنوان یک نمایشگر اعداد از آنها استفاده می شود، ساختاری بصورت زیر دارند :

هر کدام از قسمتهای a, b, c, ... تا g و o یک LED مجزا هستند که می توانند از طریق اتصال پایه مربوطه آن به ولتاژی حدود 1.7 ولت روشن شوند. شما می توانید برای نشان دادن اعداد، ترکیبی از LED های a تا g را روشن یا خاموش نمایید. در ضمن علامت 0 هم بعنوان ممیز اعشار قابل خاموش یا روشن کردن می باشد.



مثال : برای نشان دادن عدد 3 :

فعال a, b, c, d, g

غیر فعال f, e, o

### تذکر:

ورودیهای 7-Segment را بهیچوجه مستقیماً به خروجی تراشه TTL وصل نکنید بلکه باید با مقاومت  $\Omega 330$  سری نمایید تا جریان زیاد از تراشه کشیده نشود.

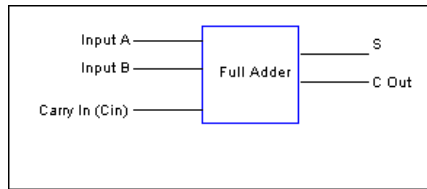
تراشه 7448 را در نظر بگیرید. این تراشه دقیقاً کاری که شما در بالا انجام دادید را بصورت مجتمع انجام می دهد. ورودیهای A, B, C, D را به ترتیب به سوئیچهای داده شده متصل کنید و به ازای کلیه حالات ورودی علائم موجود روی 7-Segment را مشاهده نمایید.

ترکیبات (1010) تا (1111) جزء کدهای معتبر BCD نیستند. خروجی نمایشگر 7-Seg. به ازای این کدها چیست؟

سؤال: دیکودری طراحی کنید که دارای چهار ورودی (A, B, C, D) و هفت خروجی a, b, ... تا g باشد. چهار ورودی یک عدد BCD است و خروجی ها ترکیبی هستند که به ازای عدد BCD بایستی شکل آنرا (بصورت انگلیسی) روی خروجی نشان دهد.

بصورت تئوری ترکیبات لازم را برای a تا g بیابید بگونه ای که عددهای 1 تا 9 را روی نمایشگر ظاهر شود.

## آزمایش دوم: طراحی مدارات جمع کننده کامل ( Full Adder )

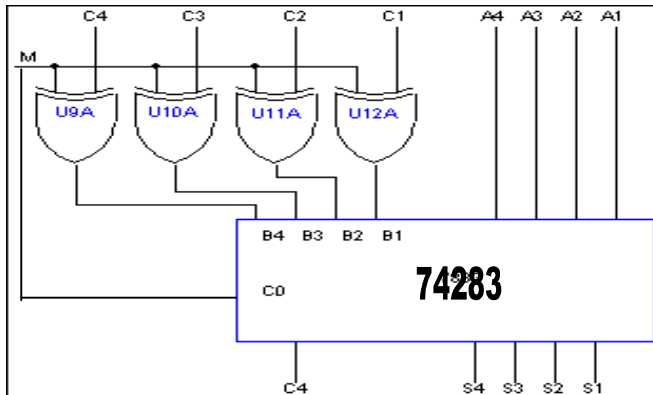


**آزمایش 2-1**  
با استفاده از تراشه 7408 و 7486 یک جمع کننده کامل (شکل روبرو) طراحی نمائید. سعی کنید تعداد گیت‌های مورد نیازتان حداقل گردد. مدار را بسته جدول ترکیبات آنرا بوسیله آزمایش بدست آورید و بنویسید.

**آزمایش 2-2**  
تراشه 74283 یک جمع کننده کامل ( Full Adder ) چهار بیتی می باشد. این تراشه را می توان با استفاده از ورودی‌های منطقی و LED (بعنوان خروجی ها) مورد آزمایش قرار داد. جدول زیر را تکمیل نمائید.

C0	A				B				C4	S			
	A4	A3	A2	A1	B4	B3	B2	B1		S4	S3	S2	S1
0	0	0	0	0	0	0	0	0					
0	0	0	0	1	0	0	0	1					
0	0	0	1	1	0	0	0	1					
0	0	1	0	0	0	1	0	0					
1	0	1	1	1	1	0	0	0					
1	1	1	1	1	1	1	0	1					
1	1	1	1	1	1	1	1	1					
1	0	1	1	0	1	0	1	0					

## آزمایش 2-3



شکل زیر جمع کننده و تفریق کننده چهار بیتی است. ضمن توجیه مدار، طرز کار آنرا توضیح دهید. با استفاده از تراشه های 74283 و 7486 مدارزیرا ساخته و مورد آزمایش قرار دهید.

سوال : چگونه می توان با استفاده از تراشه 74283 برای دو عدد 16 بیتی، مداری را طراحی کرد. مدارتان را دقیق ترسیم کرده و توضیح بدهید.

## آزمایش سوم : مقایسه گر ها (Comparators)

### آزمایش 3-1

از طریق گیت‌های AND , OR , NOT یک مقایسه گر تک بیتی را طراحی نمایید .  
(ابتدا جدول کارنو را تشکیل دهید . ورودیها دو بیت A , B هستند که بایستی با هم مقایسه شود . خروجی آن دو بیت C,E است که (E)حالت‌های مساوی یا عدم تساوی را تعیین می کند و در صورت عدم تساوی اگر  $A > B$  باشد بیت دوم (C) "1" و اگر  $A < B$  باشد بیت دوم "0" خواهد بود .)

```
if A=B then E = High & C = Dont Care
else E = Low & if A>B then C = High
else C = Low
```

خروجی E : تساوی دو بیت را مشخص می کند

$E = "1" \text{ if } A = B$

$E = "0" \text{ if } A \neq B$

خروجی C : قیاس A و B در صورت عدم تساوی مشخص می کند .

$C = "1" \text{ if } A > B$

$C = "0" \text{ if } A < B$

سؤال 1 - با توجه به طراحی بالا چگونه می توانید یک مقایسه کننده طراحی کنید که دو عدد n بیتی را با هم مقایسه کند! ( طرح خود را در گزارش کار ترسیم نمایید )

### آزمایش 3-2

با استفاده از Data Sheet ضمیمه، یک مقایسه گر 4 بیتی انتخاب کرده و آنرا آزمایش نمایید . پایه های  $A = B$  و  $A > B$  را دقیقاً با ورودیهای مناسب آزمایش کنید .

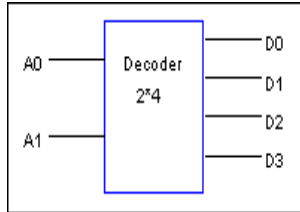
سؤال - چگونه با استفاده از یک تراشه مقایسه گر 4 بیتی می توان مقایسه گر 16 بیتی طراحی کرد . (مدارتان را به دقت در گزارش کار تشریح کنید )

## آزمایش چهارم: آشنایی با مدارات Encoder, Decoder, Mux, Demux

### آزمایش 4-1

دیکودرها مدارهائی هستند با  $n$  ورودی و  $2^n$  خروجی که بسته به حالت ورودی یکی از  $2^n$  خروجی آن فعال - می شود .

در شکل زیر جدول درستی یک (  $2 \times 4$  ) Decoder را مشاهده می کنید .

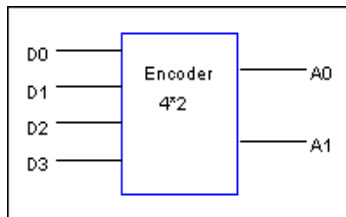


A1	A0	D0	D1	D2	D3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

\* با استفاده از گیت های موجود یک دیکودر (  $2 \times 4$  ) طراحی کنید .

### آزمایش 4-2

انکودر ،عکس عمل دیکودر را انجام می دهد به اینصورت که دارای  $2^n$  ورودی و  $n$  خروجی می باشد . فرض بر آن است که در هر زمان فقط یکی از ورودیها فعال است . هر گاه یکی از ورودیها فعال باشد عدد  $n$  بیتی متناظر با همان ورودی در خروجی ظاهر می شود . در شکل زیر بلوک دیاگرام و جدول درستی انکودر (  $4 \times 2$  ) آمده است .

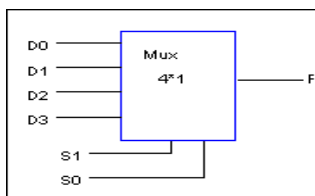


D0	D1	D2	D3	A1	A0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

- با استفاده از گیت های موجود یک Encoder با چهار ورودی و دو خروجی طراحی نمائید .

### آزمایش 4-3

مالتی پلکسر مداریست با  $n$  خط بعنوان خطوط آدرس یا انتخاب ( select ) و  $2^n$  خط، بعنوان ورودی دارد . با خطوط انتخاب می توان تنها یکی از ورودیها را انتخاب کرده و روی خروجی فرستاد . بنابراین Mux فقط و فقط یک خروجی دارد .



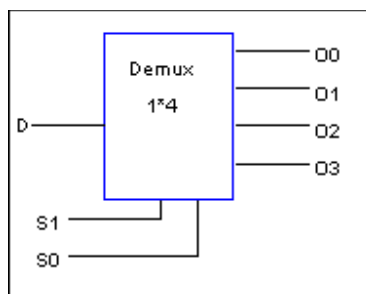
S1	S0	F
0	0	D0
0	1	D1
1	0	D2
1	1	D3

یک MUX با دو خط Select (خط انتخاب ) طراحی و پیاده سازی کنید .



#### آزمایش 4-4

مدار DMUX دارای  $n$  خط انتخاب و  $2^n$  خط خروجی و تنها یک خط ورودی (Data) دارد و بسته به حالت ورودیها یکی از خروجیها انتخاب و Data به آن خروجی منتقل خواهد شد.



S1	S0	O3	O2	O1	O0
0	0	-	-	-	D
0	1	-	-	D	-
1	0	-	D	-	-
1	1	D	-	-	-

یک DMUX با دو خط Select (خط انتخاب) طراحی و پیاده سازی کنید.

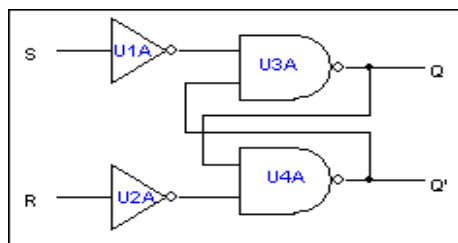
## آزمایش پنجم: آشنایی با فلیپ فلاپها

تذکره:

چون در این آزمایش آشنائی عملی با فلیپ فلاپها مدنظر می باشد ، قبل از انجام آزمایش مطالعه کافی در زمینه های شناخت انواع فلیپ فلاپها ، مفاهیم همگام (سنکرون) ، ناهمگام (آسنکرون) ، تریگر سطح (Level Trigger) و تریگر لبه (Edge Trigger) الزامی می باشد .

### آزمایش 1-5

مدار فلیپ فلاپ RS ناهمگام را مطابق شکل زیر بسته و آنرا به ازای ترکیبات مختلف S و R آزمایش و نمودار حالت و جدول تغییر حالت مدار را ترسیم نمائید . آیا مدار مطابق مشخصات فلیپ فلاپ RS کار می کند ؟



حالتهای غیر عادی چه مواقعی اتفاق می افتد ؟ در این حالت خروجی چیست؟

### آزمایش 2-5

برای جلوگیری از رفتار غیر عادی این مدار راه حلی را پیشنهاد نموده و آنرا پیاده سازی نمایید.  
تذکره - در گزارش کار، راه حلتان را تحلیل نمائید .

### آزمایش 3-5

تراشه JK-FlipFlap را مورد آزمایش قرار داده و جدول حالات آنرا دقیقاً بدست آورید .

### آزمایش 4-5

با استفاده از JK- FF ، فلیپ فلاپهای نوع D, T را پیاده سازی کرده و مورد آزمایش قرار دهید و جدول حالت را برای هر کدام ، جداگانه ترسیم نمائید .

## آزمایش ششم: آشنایی با ثبات ها (Shift Registers)

### آزمایش 1-6

با استفاده از آی سی 74194 یک شیفت رجیستر 4 بیتی با قابلیت های ذیل بر روی Bread Board پیاده سازی نمایید. جهت بستن مدار از Data Sheet مربوطه در ضمیمه جزوه استفاده نمایید.

- مدار به چهار ورودی بعنوان ورودیهای موازی نیازمند است .

- مدار باید دارای دو ورودی In , Out برای بیت ورودی سریال و خروجی سریال باشد .

الف) Left Shift شیفت به چپ

ب) Right Shift شیفت به راست

ج) Parallel Load بار کردن موازی

د) با یک تغییر مدار، آنرا به یک شیفت رجیستر 4 بیتی چرخشی تبدیل نمایید .

سوال:

یک Shift Register چهاربیتی با قابلیت های زیر طراحی نمایید :

الف) Left Shift شیفت به چپ 00

ب) Right Shift شیفت به راست 01

ج) Parallel Load بار کردن موازی 10

د) No Change بدون تغییر 11

- مدارتان بایستی دارای دو ورودی برای انتخاب یکی از عملیات های بالا باشد.

- مدار باید دارای دو ورودی In , Out برای بیت ورودی سریال و خروجی سریال باشد .

## آزمایش هفتم: آشنایی با شمارنده های همگام (سنکرون)

**تذکر :**

هر گاه برای آزمایش مدار شمارنده خود به کلاک ( Clock ) نیاز داشتید از دستگاه Function Generator بهره بگیرید و برای مشاهده نتیجه ترجیحا" فرکانس کار را روی 1 HZ قرار دهید.

### آزمایش 1-7

با استفاده از D فلیپ فلاپ یک شمارنده 3 بیتی سنکرون طراحی کرده و نتیجه را روی 7-seg نمایش دهید . ورودی Clock را از دستگاه Function Generator بگیرید (فرکانس 1 هرتز موج مربعی) .

### آزمایش 2-7

با استفاده از D فلیپ فلاپ یک شمارنده سنکرون تقسیم بر 12 طراحی و پیاده سازی نمایید.

## آزمایش هشتم: آشنایی با شمارنده های نا همگام (آسنکرون)

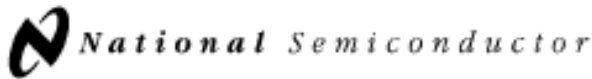
### آزمایش 8-1

یک مدار شمارنده آسنکرون تقسیم بر 10 را با استفاده از JK- FF طراحی کرده و مدار آنرا پیاده سازی نموده و نتیجه را روی 7-Seg نشان دهید .

### آزمایش 8-2

یک شمارنده آسنکرون تقسیم بر 13 با استفاده از JK - FF طراحی کنید .

موفق باشید.



June 1989

## 5404/DM5404/DM7404 Hex Inverting Gates

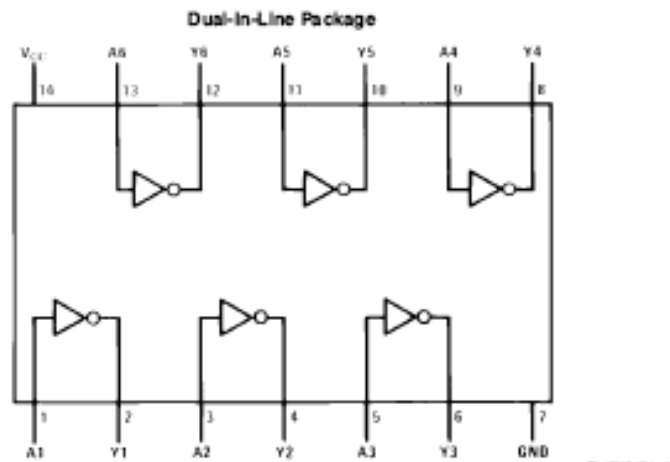
### General Description

This device contains six independent gates each of which performs the logic INVERT function.

### Features

- Alternate Military/Aerospace device (5404) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



Order Number 5404DMQB, 5404PMQB, DM5404J, DM5404W, DM7404M or DM7404N  
See NS Package Number J14A, M14A, N14A or W14B

### Function Table

$$Y = \bar{A}$$

Inputs	Output
A	Y
L	H
H	L

H = High Logic Level

L = Low Logic Level

5404/DM5404/DM7404 Hex Inverting Gates

## 5400/DM5400/DM7400 Quad 2-Input NAND Gates

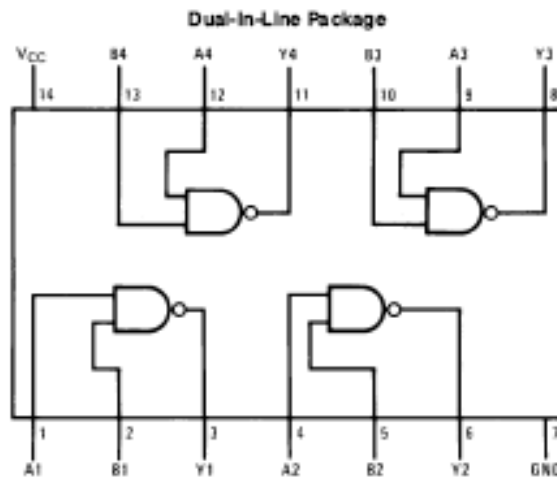
### General Description

This device contains four independent gates each of which performs the logic NAND function.

### Features

- Alternate Military/Aerospace device (5400) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



TL/F/6613-1

Order Number 5400DMQB, 5400FMQB, DM5400J, DM5400W or DM7400N  
See NS Package Number J14A, N14A or W14B

### Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level  
L = Low Logic Level

## 5408/DM5408/DM7408 Quad 2-Input AND Gates

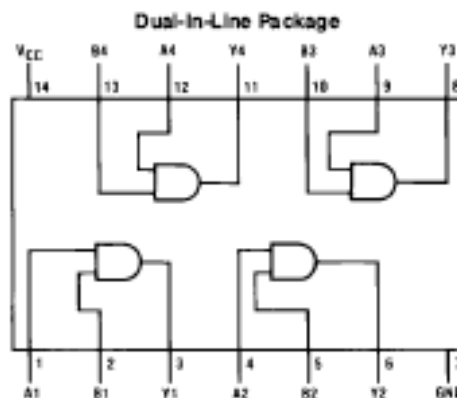
### General Description

This device contains four independent gates each of which performs the logic AND function.

### Features

- Alternate Military/Aerospace device (5408) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



TL/F/6490-1

Order Number 5408DMQB, 5408FMQB, DM5408J, DM5408W or DM7408N  
See NS Package Number J14A, N14A or W14B

### Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level

L = Low Logic Level



## 5486/DM5486/DM7486 Quad 2-Input Exclusive-OR Gates

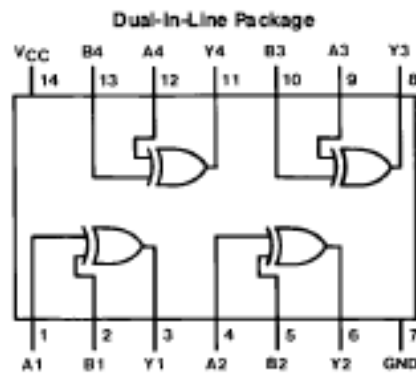
### General Description

This device contains four independent gates each of which performs the logic exclusive-OR function.

### Features

- Alternate Military/Aerospace device (5486) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



TL/F/6631-1

Order Number 5486DMQB, 5486FMQB, DM5486J, DM5486W or DM7486N  
See NS Package Number J14A, N14A or W14B

### Function Table

$$Y = A \oplus B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High Logic Level

L = Low Logic Level

## DM54S283/DM74S283 4-Bit Binary Adders with Fast Carry

### General Description

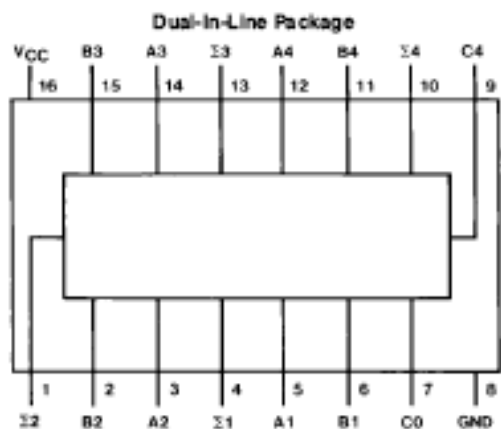
These full adders perform the addition of two 4-bit binary numbers. The sum ( $\Sigma$ ) outputs are provided for each bit and the resultant carry ( $C_4$ ) is obtained from the fourth bit. These adders feature full internal look-ahead across all four bits. This provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

The adder logic, including the carry, is implemented in its true form meaning that the end-around carry can be accomplished without the need for logic or level inversion.

### Features

- Full-carry look-ahead across the four bits
- Systems achieve partial look-ahead performance with the economy of ripple carry
- Typical add times
  - Two 8-bit words 15 ns
  - Two 16-bit words 30 ns
- Typical power dissipation 510 mW

### Connection Diagram



TL/F/6486-1

Order Number DM54S283J or DM74S283N  
See NS Package Number J16A or N16E

## 5432/DM5432/DM7432 Quad 2-Input OR Gates

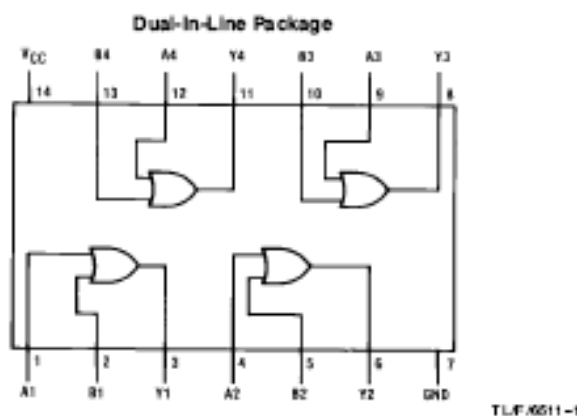
### General Description

This device contains four independent gates each of which performs the logic OR function.

### Features

- Alternate Military/Aerospace device (5432) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



Order Number 5432DMQB, 5432FMB, DM5432J, DM5432W or DM7432N  
See NS Package Number J14A, N14A or W14B

### Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level

L = Low Logic Level

## 54LS85/DM54LS85/DM74LS85

### 4-Bit Magnitude Comparators

#### General Description

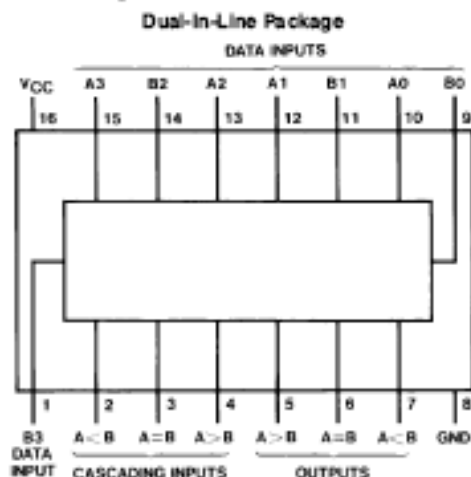
These 4-bit magnitude comparators perform comparison of straight binary or BCD codes. Three fully-decoded decisions about two, 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must

have a high-level voltage applied to the A = B input. The cascading path is implemented with only a two-gate-level delay to reduce overall comparison times for long words.

#### Features

- Typical power dissipation 52 mW
- Typical delay (4-bit words) 24 ns
- Alternate Military/Aerospace device (54LS85) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

#### Connection Diagram



Order Number 54LS85DMQB,  
54LS85FMQB, 54LS85LMQB,  
DM54LS85J, DM54LS85W,  
DM74LS85M or DM74LS85N  
See NS Package Number E20A,  
J16A, M16A, N16E or W16A

TL/F/6079-1

#### Function Table

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

H = High Level, L = Low Level, X = Don't Care

## 54F/74F194 4-Bit Bidirectional Universal Shift Register

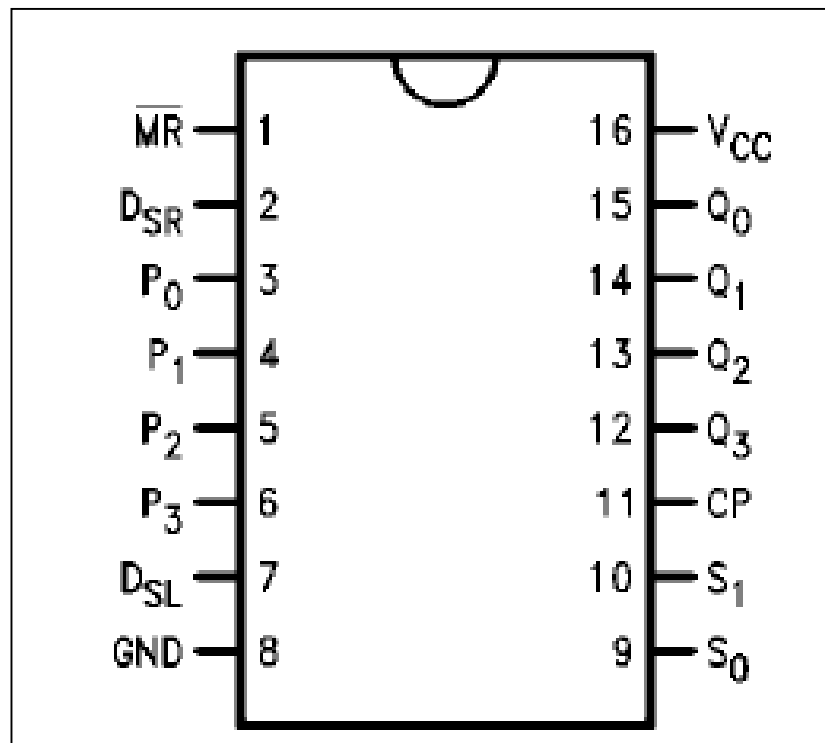
### Functional Description

The 'F194 contains four edge-triggered D flip-flops and the necessary interstage logic to synchronously perform shift right, shift left, parallel load and hold operations. Signals applied to the Select ( $S_0$ ,  $S_1$ ) inputs determine the type of operation, as shown in the Mode Select Table. Signals on the Select, Parallel data ( $P_0$ – $P_3$ ) and Serial data ( $D_{SR}$ ,  $D_{SL}$ )

inputs can change when the clock is in either state, provided only that the recommended setup and hold times, with respect to the clock rising edge, are observed. A LOW signal on Master Reset ( $\overline{MR}$ ) overrides all other inputs and forces the outputs LOW.

Mode Select Table

Operating Mode	Inputs						Outputs			
	$\overline{MR}$	$S_1$	$S_0$	$D_{SR}$	$D_{SL}$	$P_n$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	l	l	X	X	X	$q_0$	$q_1$	$q_2$	$q_3$
Shift Left	H	h	l	X	l	X	$q_1$	$q_2$	$q_3$	L
	H	h	l	X	h	X	$q_1$	$q_2$	$q_3$	H
Shift Right	H	l	h	l	X	X	L	$q_0$	$q_1$	$q_2$
	H	l	h	h	X	X	H	$q_0$	$q_1$	$q_2$
Parallel Load	H	h	h	X	X	$P_n$	$P_0$	$P_1$	$P_2$	$P_3$



## 5476/DM5476/DM7476 Dual Master-Slave J-K Flip-Flops with Clear, Preset, and Complementary Outputs

### General Description

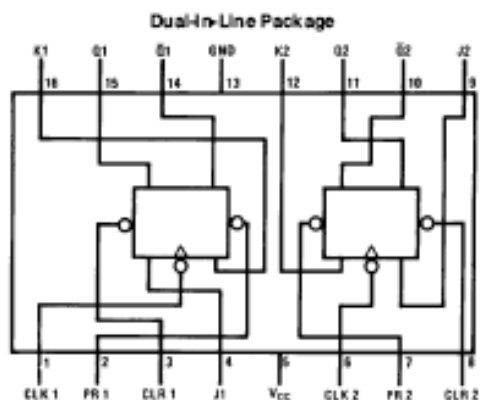
This device contains two independent positive pulse triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flop after a complete clock pulse. While the clock is low the slave is isolated from the master. On the positive transition of the clock, the data from the J and K inputs is transferred to the master. While the clock is high the J and K inputs are disabled. On the negative transition of the clock, the data from the master is trans-

ferred to the slave. The logic state of J and K inputs must not be allowed to change while the clock is high. The data is transferred to the outputs on the falling edge of the clock pulse. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

### Features

- Alternate Military/Aerospace device (5476) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

### Connection Diagram



Order Number 5476DMQB, 5476FMQB,  
DM5476J, DM5476W or DM7476N  
See NS Package Number J16A, N16E or W16A

### Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	$\downarrow$	L	L	Q <sub>0</sub>	$\bar{Q}_0$
H	H	$\downarrow$	H	L	H	L
H	H	$\downarrow$	L	H	L	H
H	H	$\downarrow$	H	H	Toggle	

H = High Logic Level

L = Low Logic Level

X = Either Low or High Logic Level

$\downarrow$  = Positive pulse data. The J and K inputs must be held constant while the clock is high. Data is transferred to the outputs on the falling edge of the clock pulse.

\* = This configuration is nonstable; that is, it will not persist when the preset and/or clear inputs return to their inactive (high) level.

Q<sub>0</sub> = The output logic level before the indicated input conditions were established.

Toggle = Each output changes to the complement of its previous level on each complete active high level clock pulse.

## DM74ALS174/DM74ALS175 Hex/Quad D Flip-Flop with Clear

### General Description

These positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. Both have an asynchronous clear input, and the quad (175) version features complementary outputs from each flip-flop.

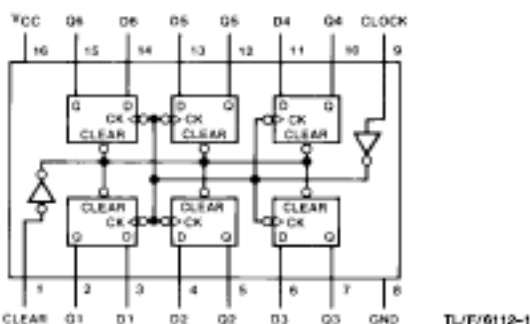
Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

### Features

- Advanced oxide-isolated ion-implanted Schottky TTL process
- Pin and functional compatible with LS family counterpart
- Typical clock frequency maximum is 80 MHz
- Switching performance guaranteed over full temperature and  $V_{CC}$  supply range

### Connection Diagrams

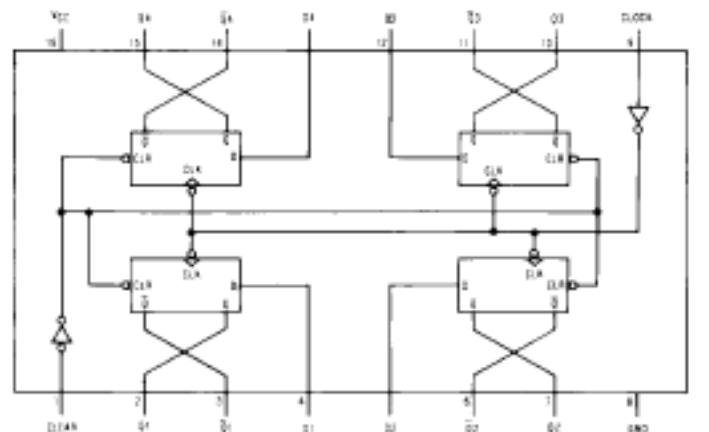
Dual-In-Line Package



Order Number DM74ALS174M, DM74ALS174N  
or DM74ALS174SJ  
See NS Package Number M16A, M16D or N16A

TL/F/6112-1

Dual-In-Line Package



### Function Table

Inputs			Outputs	
Clear	Clock	D	Q	$\bar{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	$Q_0$	$\bar{Q}_0$

H = High Level (steady state)

L = Low Level (steady state)

X = Don't Care

↑ = Transition from Low to High Level

$Q_0$  = the level of Q before the indicated steady-state input conditions were established

\*applies to 74ALS175 only

Order Number DM74ALS175M,  
DM74ALS175N or DM74ALS175SJ  
See NS Package Number M16A,  
M16D or N16A

TL/F/6112-2