

بسمه تعالی

فرم شرح درس

نام درس: آزمون و آزمون پذیری (ارشد) تعداد واحد: 3 نوع واحد: نظری
پیش نیاز: معماری کامپیوتر – مدار منطقی - VLSI

زمان برگزاری کلاس: روز: یکشنبه-سه شنبه ساعت: 15:30 تا 17:30 مکان برگزاری: کلاس 204
تعداد دانشجویان: 7

هدف درس: آشنایی دانشجویان با اهمیت، روش ها و مفاهیم پایه ای و اصلی در آزمون درستی تراشه ها و همچنین افزودن قابلیت آزمون در زمان طراحی- آشنایی با روش های عملی آزمون و آزمون پذیری با استفاده از زبان های توصیف سخت افزار Verilog و ساختار رویه ای PLI

فعالیت های آموزشی: آموزش مفاهیم مقدماتی و پیشرفته اهداف درس-پیاده سازی و شبیه سازی محیط آزمون - ارائه مطالب علمی مرتبط توسط دانشجویان

منابع اصلی درس: کتاب زیر:

- 1- “Digital System Test and Testable Design: Using HDL Models and Architectures”; Zainalabedin Navabi; 2011; Springer (Required)
- 2- “VLSI Test Principles and Architectures”, Laung-Terng Wang, Cheng-Wen Wu, and Xiaoqing Wen, Morgan Kaufmann Publishers, 2006

جدول زمانبندی ارائه مطالب

جلسه مدت زمان (ساعت)	سرفصل درس	شیوه تدریس	نحوه ارزیابی	منابع مکمل درس
جلسه اول ساعت	اهمیت آزمون و مفاهیم پایه ای	تئوری		
جلسه دوم ساعت	روش های آزمون تراشه ها	تئوری		
جلسه سوم ساعت	استفاده از زبانهای توصیف سخت افزار برای آزمون و آزمون پذیری تراشه ها	تئوری	پروژه پیاده سازی شبیه سازی	معماری کامپیوتر مدار منطقی Verilog
جلسه چهارم ساعت	روش های TestBench نویسی و استفاده از Procedural Language Interface (PLI)	تئوری	پروژه پیاده سازی شبیه سازی	معماری کامپیوتر مدار منطقی Verilog
جلسه پنجم ساعت	مدل کردن اشکال	تئوری		

بسمه تعالی
فرم شرح درس

ادامه جدول زمانبندی ارائه مطالب

جلسه مدت زمان (ساعت)	سرفصل درس	شیوه تدریس	نحوه ارزیابی	منابع مکمل درس
جلسه ششم ساعت	روشهای کاهش اشکال و شبیه سازی سیستم تحت آزمون با وجود اشکال	تئوری		
جلسه هفتم ساعت	روش های شبیه سازی سیستم تحت آزمون با وجود اشکال	تئوری	طرح چند سری تمرین	معماری کامپیوتر مدار منطقی Verilog
جلسه هشتم ساعت	تولید الگوهای Test به صورت Random	تئوری		
جلسه نهم ساعت	تولید الگوهای Test به صورت قطعی	تئوری	طرح چند سری تمرین	
جلسه دهم ساعت	اصول و مفاهیم پایه ای در طراحی برای آزمون تراشه (DFT)	تئوری		معماری کامپیوتر مدار منطقی Verilog
جلسه یازدهم ساعت	اصول و مفاهیم پایه ای در طراحی برای آزمون تراشه (DFT) اصول و مفاهیم پایه ای روشهای استاندارد IEEE Test در	تئوری		
جلسه دوازدهم ساعت	اصول و مفاهیم پایه ای روشهای استاندارد IEEE Test در	تئوری		
جلسه سیزدهم ساعت	اصول و مفاهیم پایه ای Built-In-Self-Test (BIST)	تئوری	طرح چند سری تمرین	
جلسه چهاردهم ساعت	اصول و مفاهیم پایه ای Built-In-Self-Test (BIST) روشهای فشرده سازی Test	تئوری	طرح چند سری تمرین	
جلسه پانزدهم ساعت	روشهای فشرده سازی Test بررسی روشهای آزمون حافظه با استفاده از MBIST	تئوری		معماری کامپیوتر مدار منطقی Verilog
جلسه شانزدهم ساعت	بررسی روشهای آزمون حافظه با استفاده از MBIST	تئوری		